

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-313910

(43)Date of publication of application : 25.10.2002

(51)Int.Cl. H01L 21/768
H01L 21/8238
H01L 27/092

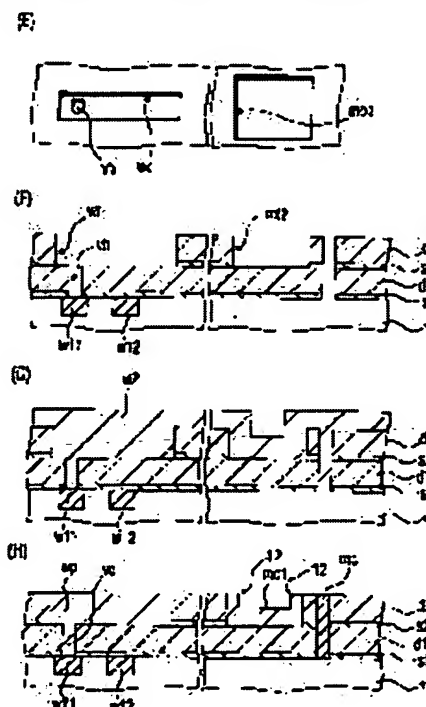
(21)Application number : 2001-115501 (71)Applicant : FUJITSU LTD
(22)Date of filing : 13.04.2001 (72)Inventor : WATANABE KENICHI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a novel multi-layer wiring structure capable of suitably being formed by a damascene process.

SOLUTION: The semiconductor device includes a first insulating layer formed on a semiconductor substrate having a plurality of semiconductor elements and having a lower layer damascene wiring; a second insulating layer formed on the first insulating layer and having a second damascene wiring and a positioning wiring pattern for the formation of a first step difference; a first positioning surface wiring pattern made of the same surface wiring layer, formed on the surface wiring pattern covering the second damascene wiring and on the positioning wiring pattern, and having a second step difference reflecting the first step difference; and a third insulating layer covering the surface wiring pattern and first positioning surface wiring pattern and formed on the second insulating layer.



LEGAL STATUS

[Date of request for examination]

BEST AVAILABLE COPY

BL

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-313910
(P2002-313910A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl. ⁷	識別記号	F I	テ-リ-ト* (参考)
H 0 1 L 21/768		H 0 1 L 21/90	A 5 F 0 3 3
21/8238		27/08	3 2 1 F 5 F 0 4 8
27/092			

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願2001-115501 (P2001-115501)

(22) 出願日 平成13年4月13日 (2001. 4. 13)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72) 発明者 渡邊 健一
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74) 代理人 100091340
弁理士 高橋 敬四郎

最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

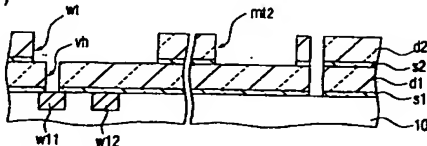
【課題】 ダマシンプロセスで作成するのに適した新規な多層配線構造を有する半導体装置を提供する。

【解決手段】 半導体装置は、複数の半導体素子を有する半導体基板上に形成され、下層ダマシン配線を有する第1絶縁層と、その上に形成され、第2ダマシン配線と第1の段差を形成する位置合わせ配線パターンとを有する第2絶縁層と、同一の表面配線層で形成され、第2ダマシン配線を覆う表面配線パターンと位置合わせ配線パターンの上に形成され、第1の段差を反映する第2の段差を有する第1位置合わせ表面配線パターンと、表面配線パターンと第1位置合わせ表面配線パターンとを覆い、第2絶縁層上に形成された第3絶縁層とを有する。

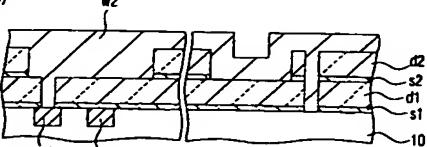
(E)



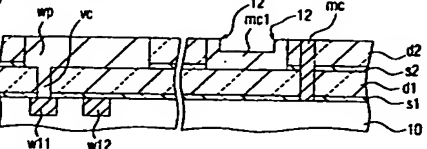
(F)



(G)



(H)



【特許請求の範囲】

【請求項 1】 複数の半導体素子を有する半導体基板と、
前記半導体基板上に形成された第 2 絶縁層と、
前記第 2 絶縁層の表面から形成され、第 1 の幅を有する
ダマシン配線用凹部と、
前記第 2 絶縁層の表面から形成され、前記第 1 の幅より
大きい第 2 の幅を有する位置合わせ溝と、
前記ダマシン配線用凹部を埋め込んで形成され、前記第
2 絶縁層表面とほぼ面一の表面を有するダマシン配線
と、
前記ダマシン配線と同一の配線層で前記位置合わせ溝内
に形成され、第 1 の段差を形成する位置合わせ配線パ
ターンと、
前記第 2 絶縁層表面上に形成され、前記ダマシン配線に
接続された表面配線パターンと、
前記表面配線パターンと同一の表面配線層で前記位置
合わせ配線パターンの上に形成され、前記第 1 の段差を反
映する第 2 の段差を有する第 1 位置合わせ表面配線パ
ターンと、
前記表面配線パターンと前記第 1 位置合わせ表面配線パ
ターンとを覆い、前記第 2 絶縁層上に形成された第 3 絶
縁層とを有する半導体装置。

【請求項 2】 さらに、前記第 2 絶縁層の下に形成さ
れた第 1 絶縁層と、
前記第 1 絶縁層中に埋め込まれ、第 1 絶縁層表面に露出
した表面を有する下層ダマシン配線とを有し、前記ダマ
シン配線用凹部が前記第 1 の幅を有する配線溝と、前記
配線溝の底面から前記第 2 絶縁層の残りの厚さを貫通し
て前記下層ダマシン配線に達するように形成されたビア
孔とを含む請求項 1 記載の半導体装置。

【請求項 3】 前記ダマシン配線の表面が、全て前記表
面配線パターンで覆われている請求項 1 又は 2 記載の半
導体装置。

【請求項 4】 さらに、前記第 2 絶縁層上に形成され、
下層と電気的接続を有さない第 2 位置合わせ表面配線パ
ターンを有し、前記第 3 絶縁層が、前記表面配線パター
ンの一部表面上に開口を有する請求項 1 ～ 3 のいずれか
1 項記載の半導体装置。

【請求項 5】 前記表面配線層が、第 2 主配線層とその
上に形成された第 2 バリアメタル層の積層を含み、前記
開口内で、前記第 2 バリアメタル層が除去されている請
求項 1 ～ 4 のいずれか 1 項記載の半導体装置。

【請求項 6】 複数の半導体素子を有する半導体基板
と、
前記半導体基板上に形成された第 1 絶縁層と、
前記第 1 絶縁層中に埋め込まれ、第 1 絶縁層表面に露出
した表面を有する下層ダマシン配線と、
前記第 1 絶縁層上に形成された第 2 絶縁層と、
前記第 2 絶縁層の表面から途中の深さまで形成された配

線溝と、前記配線溝の底面から前記第 2 絶縁層の残りの
厚さを貫通して前記下層ダマシン配線に達するように形
成されたビア孔とを含むダマシン配線用凹部と、
前記ダマシン配線用凹部を埋め込んで形成され、前記第
2 絶縁層表面とほぼ面一の表面を有するダマシン配線
と、
前記第 2 絶縁層表面上に形成され、前記ダマシン配線に
接続された表面配線パターンと、
前記表面配線パターンを覆い、前記第 2 絶縁層上に形成
された第 3 絶縁層とを有する半導体装置。

【請求項 7】 (a) 複数の半導体素子を形成した半導
体基板を含む下地上に第 2 の絶縁層を形成する工程と、
(b) 前記第 2 の絶縁層の表面から第 1 の幅を有する配
線溝と、第 1 の幅よりも大きい第 2 の幅を有する位置
合わせ溝とを形成する工程と、

(c) 前記配線溝を平坦に埋め込む第 2 のダマシン配線
と、前記位置合わせ溝内に形成され、第 1 の段差を有す
る位置合わせ配線パターンとを形成する工程と、(d)
前記第 2 の絶縁層上に、前記位置合わせ溝上で前記第 1
の段差を反映する第 2 の段差を形成する表面配線層を形
成する工程と、

(e) 前記表面配線層上にレジスト膜を形成し、前記第
2 の段差を位置合わせ用マーカとして用いて該レジスト
膜を露光、現像し、レジストパターンを形成する工程
と、

(f) 前記レジストパターンをエッチングマスクとし、
前記表面配線層をエッチングして、前記配線パターンと
接続された表面配線パターンを形成する工程とを含む半
導体装置の製造方法。

【請求項 8】 前記工程 (f) が、位置合わせ表面配線
パターンも形成し、さらに、

(g) 前記表面配線を覆って、第 2 の絶縁層上に第 3 の
絶縁層を形成する工程と、

(h) 前記位置合わせ表面配線パターンを位置合わせ用
マーカとして用い、前記表面配線パターンの一部領域上
の第 3 の絶縁層を除去する工程と、

(x) 前記工程 (a) の前に、前記下地に第 1 ダマシ
ン配線を埋め込んだ第 1 の絶縁層を形成する工程とを含
み、前記配線溝は、その下方に前記第 1 のダマシン配線
に達するビア孔を有する請求項 7 記載の半導体装置の製
造方法。

【請求項 9】 前記工程 (d) が、主配線層とその上
の上側バリアメタル層との積層を含む表面配線層を形成
し、前記工程 (h) が前記上側バリアメタル層も除去す
る請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記工程 (b) が、第 2 の絶縁層にビ
ア孔と位置合わせ用溝とを形成する工程と、第 2 の絶縁
層上にレジスト膜を形成する工程と、前記位置合わせ用
溝を位置合わせマーカとして用い、レジスト膜に配線溝
及び位置合わせ溝用の開口を形成する工程とを含む請求

項 7～9 のいずれか 1 項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関し、特にダマシン配線を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】半導体装置において、集積度の向上と共に、設計ルールは縮小されていく。絶縁層表面上にアルミニウム、タングステン等の表面メタル配線層を形成し、その上にレジストパターンを形成して表面メタル配線層を直接エッチングする方法は、技術的な限界が生じ始めている。

【0003】エッチングで表面配線層をパターンニングする方法に代り、層間絶縁層を先に形成し、配線用溝およびビア孔を層間絶縁層中にエッチングで形成し、配線用溝、ビア孔に配線材料を埋め込むダマシンプロセスが利用され始めている。ダマシンプロセスは、シリコン酸化膜に幅の狭い配線を形成するのに好適な方法である。

【0004】また、配線材料としては、従来主に用いられた Al は、抵抗、エレクトロマイグレーションの面で限界があり、より低抵抗でエレクトロマイグレーション耐性の高い Cu の利用が増加している。Cu は、エッチングでパターンニングすることは困難であるが、ダマシンプロセスで配線を形成することができる。

【0005】Cu 配線は、Al 配線よりも硬質であり、腐蝕性が高い性質を有する。例えば、Al 配線の場合、大気中に放置していても、安定な Al_2O_3 が表面に形成され、それ以上腐蝕を進行させない自己制限機能を有する。Cu 配線の場合、大気中に放置すると CuO_x を表面に形成するが、この酸化膜は自己制限機能が低く、腐蝕性が高い。

【0006】また、Cu 配線は硬質なため、従来のボンディング作業が困難となる。パンプ形成用プロセスやワイヤーボンディング用に Al のパッドを形成するプロセス等が利用される。これらは工程数の増加となり、コスト増大、欠陥率の増大、歩留まりの低下等を招く原因となる。

【0007】

【発明が解決しようとする課題】配線形成工程としてダマシンプロセスが利用され始めているが、ダマシンプロセス固有の問題もある。

【0008】本発明の目的は、ダマシンプロセスで作成するのに適した新規な多層配線構造を有する半導体装置を提供することである。

【0009】本発明の他の目的は、多層配線構造を作成するのに適した新規な半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】本発明の 1 観点によれ

ば、複数の半導体素子を有する半導体基板と、前記半導体基板上に形成された第 2 絶縁層と、前記第 2 絶縁層の表面から形成され、第 1 の幅を有するダマシン配線用凹部と、前記第 2 絶縁層の表面から形成され、前記第 1 の幅より大きい第 2 の幅を有する位置合わせ溝と、前記ダマシン配線用凹部を埋め込んで形成され、前記第 2 絶縁層表面とほぼ面一の表面を有するダマシン配線と、前記ダマシン配線と同一の配線層で前記位置合わせ溝内に形成され、第 1 の段差を形成する位置合わせ配線パターンと、前記第 2 絶縁層表面上に形成され、前記ダマシン配線に接続された表面配線パターンと、前記表面配線パターンと同一の表面配線層で前記位置合わせ配線パターンの上に形成され、前記第 1 の段差を反映する第 2 の段差を有する第 1 位置合わせ表面配線パターンと、前記表面配線パターンと前記第 1 位置合わせ表面配線パターンとを覆い、前記第 2 絶縁層上に形成された第 3 絶縁層とを有する半導体装置提供される。

【0011】本発明の他の観点によれば、(a) 複数の半導体素子を形成した半導体基板を含む下地上に第 2 の絶縁層を形成する工程と、(b) 前記第 2 の絶縁層の表面から第 1 の幅を有する配線溝と、第 1 の幅より大きい第 2 の幅を有する位置合わせ溝とを形成する工程と、(c) 前記配線溝を平坦に埋め込む第 2 のダマシン配線と、前記位置合わせ溝内に形成され、第 1 の段差を有する位置合わせ配線パターンとを形成する工程と、(d) 前記第 2 の絶縁層上に、前記位置合わせ溝上で前記第 1 の段差を反映する第 2 の段差を形成する表面配線層を形成する工程と、(e) 前記表面配線層上にレジスト膜を形成し、前記第 2 の段差を位置合わせ用マーカとして用いて該レジスト膜を露光、現像し、レジストパターンを形成する工程と、f) 前記レジストパターンをエッチングマスクとし、前記表面配線層をエッチングして、前記配線パターンと接続された表面配線パターンを形成する工程とを含む半導体装置の製造方法が提供される。

【0012】ダマシン配線上に表面配線パターンを形成するためのプロセスをマスク 1 枚で行なうことができる。

【0013】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。

【0014】図 1 (A)～(D)、図 2 (E)～

(H)、図 3 (I)～(K) は、本発明の実施例による半導体装置の製造方法の主要工程を説明するための半導体基板の部分的断面図および平面図である。

【0015】図 1 (A) に示すように、複数の半導体素子および一部の配線を形成した下地 10 の上に、例えば厚さ約 50 nm の SiN 層で下層エッチングストップ層 s1、例えば厚さ約 500 nm のシリコン酸化層で下層第 1 層間絶縁層 d1、例えば厚さ約 50 nm の SiN 層で上層エッチングストップ層 s2、例えば厚さ約 110

0 nmのシリコン酸化層で上層層間絶縁層 d 2 を成膜する。なお、図中左側に回路パターン領域 CPR を示し、右側に位置合わせマーク領域 AMR を示す。回路パターン領域 CPR での下地 10 の構造は、例えば図 5 に示すような構造である。

【0016】図 5 は、半導体集積回路装置の最上配線層以外の構成例を示す断面図である。シリコン基板 110 の表面には、シャロートレンチアイソレーションにより素子分離領域 STI が形成され、活性領域が画定されている。図に示す構造においては、1つの活性領域内に n

チャネル MOS トランジスタ n-MOS が形成され、他の活性領域内に p チャネル MOS トランジスタ p-MOS が形成されている。

【0017】各トランジスタは、基板表面上に絶縁ゲート電極構造を有し、ゲート電極の両側の基板内に n 型又は p 型のソース/ドレイン領域 111 が形成されている。これらのソース/ドレイン領域は、上層配線に対し、下層の導電性領域となる。

【0018】シリコン基板 110 表面上に第 1 エッチストップ層 112、第 1 層間絶縁膜 115 の積層が形成され、バリアメタル層 119、主配線層 120 のデュアル

ダマシン第 1 配線構造が形成されている。これらのデュアルダマシン配線も、その上方に形成される配線に対しては下層の導電性領域となる。

【0019】図においては、両端の導電性領域 111 上にそれぞれ引き出し配線構造が形成され、中央の 2 つの導電領域 111 上に相互を接続する他の配線構造が形成されている。すなわち、図に示す 2 つの MOS トランジスタは、コンプリメンタリ MOS (CMOS) トランジスタを構成している。

【0020】以上説明した第 1 配線層の上に、第 2 エッチストップ層 122、第 2 層間絶縁膜 125 の積層が形成され、この積層内に、第 1 配線層同様、バリアメタル層 129、主配線層 130 のデュアルダマシン第 2 配線構造が形成されている。

【0021】さらに上層には、第 3 エッチストップ層 132、第 3 層間絶縁膜 135 が積層され、この積層内にバリアメタル層 139、主配線層 140 のデュアルダマシン第 3 配線構造が形成されている。

【0022】さらに上層には、第 4 エッチストップ層 142、第 4 層間絶縁膜 145 の積層が形成され、この積層内にバリアメタル層 149、主配線層 150 のデュアルダマシン第 4 配線構造が形成されている。下層デュアルダマシン配線構造の数は、任意に選択できる。

【0023】このように、多層配線構造をデュアルダマシン配線構造を用いて形成することにより、高集積度で付随容量が小さく、配線抵抗の小さい配線構造を形成することができる。下層デュアルダマシン配線構造の表面を覆って、最上層デュアルダマシン配線構造用の下層エッチングストップ層 s 1 が形成されている。

【0024】なお、1 配線層当り 1 つのエッチングストップ層と 1 つの層間絶縁膜を用いる場合を説明したが、後述するようにビア導電体および配線パターンのそれぞれに対してエッチングストップ層と層間絶縁膜を形成してもよい。デュアルダマシン配線の代わりにシングルダマシン配線を用いてもよい。

【0025】図 1 (A) は、下地 10 の表面に露出した 2 つの配線 w 11、w 12 を示している。上層層間絶縁層 d 2 の上に、ホトレジスト層 PR 1 を塗布し、下層配線 w 11、w 12 等の有無を位置合わせマーカとして露光、現像してビア孔用開口 v o および位置合わせ溝用開口 t o を形成する。ビア孔用開口 v o は、下層配線 w 11 上に位置合わせされている。位置合わせ溝用開口 t o は、下層に導電層パターンを有さない。

【0026】図 1 (B) は、ホトレジストパターンの平面図を示す。ビア孔用開口 v o は、円筒状の開口である。位置合わせ溝用開口 t o は、位置合わせ作業を可能とするよう細長い溝の形状を有する。

【0027】ホトレジストパターン PR 1 をエッチングマスクとして用い、上層層間絶縁層 d 2、上層エッチングストップ層 s 2、下層層間絶縁層 d 1 をエッチングし、下層エッチングストップ層 s 1 でエッチングを自動停止させる。その後、ホトレジストパターンをアッシングで除去する。

【0028】図 1 (C) は、エッチング後の絶縁層の構造を示す。下層配線 w 11 に位置合わせされ、下層エッチングストップ層 s 1 に達するビア孔 v h と下層エッチングストップ層 s 1 に達する位置合わせ溝 m t 1 が形成されている。なお、1本の位置合わせ溝 m t 1 を図示したが、位置合わせ溝 m t 1 は、たとえば X 方向、Y 方向それぞれに複数本形成することが好ましい。

【0029】図 1 (D) に示すように、ビア孔 v h と位置合わせ溝 m t 1 が形成されている上層層間絶縁層 d 2 上に次のホトレジストパターン PR 2 を形成する。ホトレジストパターン PR 2 は、配線溝用開口 w o と位置合わせ溝開口 m o 2 を有する。ホトレジストパターン PR 2 の露光時に、位置合わせ溝 m t 1 を位置合わせ用マーカとして用いる。

【0030】直前のマスクで形成したマーカを用いることにより、引き続くマスク間の相対的位置合わせ誤差を低減することができる。すなわち、ホトレジストパターン PR 1 と PR 2 とを、共に下層配線 w 11、w 12 等をマーカとして位置合わせし、位置あわせ誤差が逆方向に生じた場合、ホトレジストパターン PR 1 と PR 2 との相対的位置合わせ誤差は 2 倍にもなる。

【0031】これに対し、直前のマスクで形成したマーカを用いれば、相対的位置合わせ誤差は最大位置合わせ誤差以内となる。従って、ビア孔と配線溝のように関連の強いパターンを形成する場合は、直前のマスクで形成したマーカを用いることが好ましい。

【0032】図2(E)に示すように、配線溝用開口 w_o はビア孔 v_h を内包する細長い平面形状を有する。これに対し、位置合わせ溝用開口 m_o2 は、関連するビア孔を有さず、幅の広い矩形平面形状を有する。回路パターン領域の配線溝用開口の幅は、位置合わせパターン領域の位置合わせ溝用開口の幅よりも小さくする。例えば、配線パターンの幅を $1.5\mu m$ 以下、たとえば $1.4\mu m$ とし、位置合わせパターンの幅を $4\mu m$ 以上、たとえば $5\mu m$ とする。

【0033】図1(D)に示すように、先に形成したビア孔 v_h 内に感光材を抜いたレジスト材料等で形成した保護有機物 p_f を詰め、ホトレジストパターンPR2をエッチングマスクとし、その下の上層層間絶縁層 d_2 をエッチングする。上層エッチングストップ層 s_2 でエッチングを自動停止し、ホトレジストパターンPR2をアッシングで除去する。保護有機物 p_f もアッシングで除去される。アッシングで除去されないものを保護物とし、アッシングとは別工程で除去してもよい。

【0034】図2(F)に示すように、配線溝 w_t 、位置合わせ溝 m_t2 内に露出したエッチングストップ層 s_2 、および位置合わせ溝 m_t1 内に露出したエッチングストップ層 s_1 をエッチングで除去する。このようにして、回路パターン領域にはデュアルダマシン用凹部 w_t 、 v_h が形成され、位置合わせパターン領域には位置合わせ溝 m_t2 （および m_t1 ）が形成される。

【0035】なお、下地表面が酸素によるダメージを受けない場合には、層間絶縁層 d 、エッチングストップ s を連続的にエッチングし、その後ホトレジストパターンを除去してもよい。

【0036】図2(G)に示すように、配線溝 w_t 、ビア孔 v_h 、位置合わせ溝 m_t2 等が形成された層間絶縁層 d_2 の上に、配線層 w_2 を等方的に形成する。配線層は積層構造でも単層構造でも良い。積層構造の場合は、主たる層を等方的に形成すればよい。

【0037】図4(A)は、積層配線構造の例を示す。例えばスパッタリングにより厚さ約 $50nm$ のTiN層で第1バリア金属層 b_1 を、例えばメッキにより厚さ $800nm$ のCu層で主配線層 mw_1 を成膜する。スパッタリングでCuシード層 sd_1 を形成した後、メッキでCuの主配線層 mw_1 を形成してもよい。メッキは、等方的に成膜が進むため、底面からの成長と同時に側面からも成長が生じる。なお、等方的配線層の成膜方法として、化学気相堆積(CVD)を用いることもできる。

【0038】なお、回路パターン領域の開口は幅 $1.4\mu m$ のため、両側面から堆積した配線層が $700nm$ 以上となった時、開口内はすべて埋め戻され、回路パターン領域上の配線層はほぼ平坦な表面を形成する。

【0039】位置合わせパターン領域の位置合わせ用溝の幅は約 $5\mu m$ のため、約 $800nm$ の第1主配線層 mw_1 を製膜しても、開口部には段差が形成されている。

この段差は、次の工程において位置合わせ用マーカースとして利用することができる。

【0040】図2(H)に示すように、層間絶縁層 d_2 上に堆積した配線層 w_2 を化学機械研磨(CMP)により除去する。回路パターン領域においては、配線溝、ビア孔内に配線パターン w_p 、ビア導電体 v_c が形成され、層間絶縁層 d_2 表面とほぼ均一な表面が形成される。

【0041】位置合わせパターン領域においては、層間絶縁層 d_2 上の配線層 w_2 が除去されるが、位置合わせ用溝内の導電パターン m_c1 には段差が残る。段差の肩部12が上層に転写され位置合わせマーカースとして機能する。ここで、CMP後に段差を残すための条件を検討する。

【0042】図6(A)は、CMP前の配線層の諸寸法を示す概略断面図である。層間絶縁層 d_2 とエッチングストップ層 s_2 の厚さの和を D とする。その上に堆積する配線層 w_2 の厚さの和を t とする。全体に均一に厚さ t の配線層が形成されたとすると、位置合わせ用マーカースとして用いる溝部分には、深さ D の凹部が形成されている。

【0043】CMPにおいて、配線層最表面から化学的及び機械的研磨が行なわれるが、凹部内においては、機械的研磨は行なわれず、化学的研磨のみが行なわれる。化学機械的研磨のエッチングレートを r とし、化学的なエッチングレートのみを $e=r\times c$ とすると、最表面から厚さ t が化学機械的に研磨された時、凹部底面で進行する化学的エッチングは深さ t/c 進む。

【0044】化学的エッチングレート of 化学機械的エッチングレートに対する比を $1/2$ 、 $1/3$ とすると、凹部底面は下方に $t/2$ 、 $t/3$ エッチングされる。凹部底面に残る配線層の厚さが、厚さ D 以下となれば、CMP終了後も段差は残る。

【0045】図6(B)は、化学的エッチングレートが化学機械的エッチングレートの $1/3$ および $1/2$ である場合、CMP後に段差が残る領域と段差が残らない領域を示すグラフである。横軸は配線層堆積前に形成された溝の深さを単位 \AA で示し、縦軸は段差上に堆積された配線層の厚さを示す。位置合わせパターン領域に形成するマーカース用溝の寸法およびその上に堆積する配線層の厚さを、図6(B)に示す段差が残る領域に選択することにより、CMP後にも段差を残し、その後の工程において位置合わせ用マーカースとして利用することができる。

【0046】このようにして、ダマシン配線を形成する工程において、同時に位置合わせ用マーカースを形成することができる。

【0047】図3(I)に示すように、ダマシン配線を形成した層間絶縁層 d_2 表面上に、表面配線層 w_3 を異方的に又は等方的に形成する。異方的堆積を用いる場

合、通常段差は上方に反映される。等方的体積を用いる場合、段差が消滅しないように凹部寸法、堆積層の厚さ等を選択する。異方的体積を用いる場合も、段差が減少する可能性がある場合は、十分認識できる段差が残るように凹部寸法や堆積条件を選択する。このようにして、下層の肩部 12 が転写された肩部 13 が形成される。肩部 13 又は一对の肩部 13 の中央を位置合わせマーカとして用いることができる。表面配線層 w3 は、例えばボンディングパッドを形成するため、A1 (A1 合金を含む) 層を主配線層とする。

【0048】図 4 (B) は、表面配線層の構成例を示す。例えば厚さ約 50 nm の TiN 層で下側バリアメタル層 b2 を、厚さ約 800 nm の Al 層で主配線層 mw2 を、厚さ約 50 nm の TiN 層で上側バリアメタル層 b3 を形成する。これらの各層は、例えばスパッタリングで成膜する。

【0049】下側バリアメタル層 b2 は、ダマシン配線の Cu と上に形成した主配線の Al との固相拡散を防止する機能を有する。上側バリアメタル層 b3 表面には、下地の凹凸を反映した段差が形成される。

【0050】図 3 (I) において、配線層 w3 の上に、ホトレジスト層を塗布し、露光現像することにより表面配線パターン形成用のレジストパターン PR3 を形成する。レジストパターン PR3 は、表面配線パターン用のパターンと共に、新たな位置合わせマーカ用パターン PR3m を含む。

【0051】なお、レジストパターン形成の際、配線層 w3 表面に形成された段差の肩部 13 を位置合わせマーカとして用いる。このようにして全面が高反射率の金属層に対して段差を利用して位置合わせを行なうことができる。

【0052】レジストパターン PR3 をエッチングマスクとし、配線層 w3 をエッチングする。回路パターン領域においては、ダマシン配線パターン wp を覆う表面配線パターンが形成され、位置合わせパターン領域においては、先の位置合わせ配線パターン mc1 を覆う表面配線パターン mc2 と新たな位置合わせ表面配線パターン mc3 が形成される。

【0053】なお、位置合わせ用パターン mc3 は、平坦な表面を有し、肩部 14 を次の工程において位置合わせマーカとして用いることができる。なお、パターン mc2 を位置合わせマーカとして用いることが可能な場合には、パターン mc3 は省略してもよい。

【0054】また、表面配線パターン wt、mc2 は、ダマシン配線で形成された配線パターン wp、位置合わせ配線パターン mc1 の上面を内包する形状を有する。ダマシン配線が Cu を主配線層とする場合、Cu の表面が表面配線 (そのうち特に下側バリアメタル層) により完全に覆われるため、後の工程において Cu 層が腐蝕等を受けることが防止される。

【0055】図 3 (J) に示すように、表面配線層を形成した層間絶縁層 d2 表面上に、例えば厚さ 400 nm の SiO₂ 層で下層保護絶縁層 16、その上に例えば厚さ 300 nm の SiN 層で上層保護絶縁層 17 を成膜する。

【0056】図 3 (K) に示すように、上層保護絶縁層 17 の上に、ホトレジスト層 PR4 を塗布し、例えばパッドを形成すべき領域に開口 po を露光、現像する。このリソグラフィ工程において、位置合わせ表面配線パターン mc3 又は mc2 を位置合わせ用マーカとして用いる。

【0057】開口 po を形成したレジストパターン PR4 をエッチングマスクとし、その下の上層保護絶縁層 17、下層保護絶縁層 16 をエッチングし、表面配線層 wt を露出する。

【0058】図 4 (C) に示すように、表面配線層 w3 が下側バリアメタル層 b2、Al 主配線層 mw2、上側バリアメタル層 b3 の積層構造の場合、さらに上側バリアメタル層 b3 をエッチングし、Al 主配線層 mw2 の表面を露出する。このようにして、Al 表面を有するボンディングパッドが形成される。

【0059】なお、同一の層構造を用い、配線やフューズを形成することもできる。フューズの場合、その下の層間絶縁層、上層層間絶縁層は、除去してもしなくてもよい。

【0060】図 7 は、最上配線層により形成する配線、フューズ、ボンディングパッドの構成を概略的に示す。実線で示す領域がたとえば Cu 層 mw1、TiN 層 b1 で形成されたダマシン配線パターン w2 (wp、mc1) である。一点鎖線で示された領域は、例えば下側バリアメタル層 b2、主配線層 mw2、上側バリアメタル層 b3 で形成された表面配線層 w3 である。

【0061】表面配線層 w3 は、配線 W、フューズ F、ボンディングパッド BP、位置合わせマーカ AM2 を構成している。なお、ボンディングパッド BP においては、上層の絶縁層が除去された開口部 po が実効的なボンディングパッド領域となる。フューズ F は、両側にダマシン配線と表面配線との積層、中央に表面配線のみの領域を有する。中央の表面配線を電流、レーザなどで断線することにより、電氣的接続を断つことができる。配線領域 W は、ダマシン配線に表面配線を重ねることで抵抗を低減している。なお、図中右側に示した表面配線領域 PC は、Cu 層と TiN 層で形成された位置合わせマーカ AM1 の上面を覆い、Cu を保護する保護カバー層である。

【0062】このような配線構造により、Cu を用いたダマシン配線の上に Al を用いたボンディングパッド、フューズ等を作成することができる。また補助配線により抵抗を低減できる。

【0063】ダマシン配線の形成と同時に位置合わせマ

一カー用の段差を形成する。又、表面配線形成と同時に位置合わせ表面配線パターンを形成する。従って、マスク数、工程数を増加させることなく、その上に形成するレジストパターンに対し位置合わせを行なうことができる。

【0064】以上デュアルダマシン配線を用いる構成を説明した。同様の位置合わせマーカをシングルダマシン配線においても用いることができる。

【0065】図8(A)に示すように、下地10上にエッチングストップ層s1と下側層間絶縁層d1を成膜する。下側層間絶縁層d1上にホトレジスト層を塗布し、下地内の配線を位置合わせマーカとしてビア孔用開口v
o、位置合わせ溝用開口m o 1を有するレジストパターンPR1aを形成する。レジストパターンPR1aは、図1(B)に示したレジストパターンPR1同様の平面形状を有する。

【0066】このホトレジストパターンPR1aをエッチングマスクとし、層間絶縁層d1をエッチングする。ホトレジストパターンPR1aをアッシングで除去した後、エッチングストップ層s1をエッチングで除去する。

【0067】図8(B)に示すように、TiNバリア層、Cu主配線層を堆積し、層間絶縁層d1表面上の不要配線層をCMPで除去し、ビア導電体v c、位置合わせ溝導電体m cを残す。

【0068】図8(C)に示すように、下側層間絶縁層d1上に、上側エッチングストップ層s2、上側層間絶縁層d2を堆積する。その上にホトレジスト層を塗布し、位置合わせ溝導電体m cを位置合わせマーカとして露光現像しホトレジストパターンPR2aを形成する。ホトレジストパターンPR2aは、図2(E)に示したホトレジストパターンPR2同様の平面形状を有する。

【0069】ホトレジストパターンPR2aをエッチングマスクとし、上側層間絶縁層d2をエッチングする。ホトレジストパターンPR2aをアッシングで除去した後、露出した上側エッチングストップ層s2をエッチングで除去する。

【0070】図8(D)に示すように、TiNバリア層、Cu層を堆積し、CMPで上側層間絶縁層d2上の不要部を除去する。回路パターン領域にビア導電体v cと配線パターンw pで形成されたシングルダマシン配線パターン、位置合わせパターン領域に段差を有する位置合わせ配線パターンm c 1が形成される。この後は、図3(I)~(K)の工程と同様である。

【0071】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。

【0072】配線層としてCu、TiN、Alを用いる場合を説明したが、配線層は金、銀、銅、タングステン、アルミニウム、チタン、タンタル、モリブデン、ジルコニウム等の金属、アルミニウム銅等の金属合金、チ

タンナイトライド、タングステンナイトライド、タンタルナイトライド、モリブデンナイトライド等の金属化合物を用いて形成することができる。主配線層としては、金、銀、銅、タングステン、アルミニウム（アルミニウム合金を含む）等を用いることが好ましい。

【0073】バリアメタル層としては、チタン、タンタル、モリブデン、チタンナイトライド、タンタルナイトライド、タングステンナイトライド、モリブデンナイトライド等を用いることができる。

【0074】絶縁層としては、シリコン酸化物、フッ素添加シリコン酸化物、シリコンオキシナイトライド、シリコン窒化物、シリコンオキシカーバイド、無機化合物、有機化合物、ポーラス化合物等を用いることができる。エッチングストップ層と層間絶縁層を用いる場合、エッチングストップ層としては、シリコンナイトライド、シリコンカーバイド、シリコンオキシナイトライド等を用いることができる。

【0075】銅配線を用いた高速動作可能な半導体集積回路装置を説明したが、デュアルダマシン配線はアルミニウム配線を高密度に形成するのにも有効である。高速動作の要求が緩和される場合、配線材料、層間絶縁膜材料等は、より広い範囲から選択できる。

【0076】例えば層間絶縁膜は、シリコン酸化膜、弗素、燐、ボロン等を添加した添加物含有シリコン酸化膜、水素シルセスキオキサン(HSQ)、テトラエトキシシラン(TEOS)など原料の異なるシリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜、シロキサン結合を有する無機化合物膜、有機化合物膜等から選択することができる。エッチングストップ層として、シリコン窒化膜の他、シリコン酸化窒化膜、シリコンカーバイド(SiC, SiC:H)等を用いてもよい。

【0077】その他種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0078】以下、本発明の特徴を付記する。

【0079】(付記1) 複数の半導体素子を有する半導体基板と、前記半導体基板上に形成された第2絶縁層と、前記第2絶縁層の表面から形成され、第1の幅を有するダマシン配線用凹部と、前記第2絶縁層の表面から形成され、前記第1の幅より大きい第2の幅を有する位置合わせ溝と、前記ダマシン配線用凹部を埋め込んで形成され、前記第2絶縁層表面とほぼ面一の表面を有するダマシン配線と、前記ダマシン配線と同一の配線層で前記位置合わせ溝内に形成され、第1の段差を形成する位置合わせ配線パターンと、前記第2絶縁層表面上に形成され、前記ダマシン配線に接続された表面配線パターンと、前記表面配線パターンと同一の表面配線層で前記位置合わせ配線パターンの上に形成され、前記第1の段差を反映する第2の段差を有する第1位置合わせ表面配線パターンと、前記表面配線パターンと前記第1位置合わせ表面配線パターンとを覆い、前記第2絶縁層上に形成

された第3絶縁層とを有する半導体装置。

【0080】(付記2) さらに、前記第2絶縁層の下に形成された第1絶縁層と、前記第1絶縁層中に埋め込まれ、第1絶縁層表面に露出した表面を有する下層ダマシン配線とを有し、前記ダマシン配線用凹部が前記第1の幅を有する配線溝と、前記配線溝の底面から前記第2絶縁層の残りの厚さを貫通して前記下層ダマシン配線に達するように形成されたビア孔とを含む付記1記載の半導体装置。

【0081】(付記3) 前記ダマシン配線の表面が、全て前記表面配線パターンで覆われている付記1又は2記載の半導体装置。

【0082】(付記4) 前記第1位置合わせ配線パターンの表面が、全て前記位置合わせ表面配線パターンで覆われている付記1～3のいずれか1項記載の半導体装置。

【0083】(付記5) さらに、前記第2絶縁層上に形成され、下層と電気的接続を有さない第2位置合わせ表面配線パターンを有し、前記第3絶縁層が、前記表面配線パターンの一部表面上に開口を有する付記1～4のいずれか1項記載の半導体装置。

【0084】(付記6) 前記下層ダマシン配線およびダマシン配線が、それぞれ、第1バリアメタル層とその上に形成された第1主配線層の積層を含む付記1～5のいずれか1項記載の半導体装置。

【0085】(付記7) 前記表面配線層が、第2主配線層とその上に形成された第2バリアメタル層の積層を含む付記6記載の半導体装置。

【0086】(付記8) 前記開口内で、前記第2バリアメタル層が除去されている付記7記載の半導体装置。

【0087】(付記9) 前記第1主配線層が銅層を含み、前記第2主配線層が、アルミニウム層を含む付記7または8記載の半導体装置。

【0088】(付記10) 前記表面配線パターンが、ボンディングパッド、又はフューズを構成する付記1～9のいずれか1項記載の半導体装置。

【0089】(付記11) 前記第1および第2絶縁層がエッチングストップ層とその上の層間絶縁層とを含み、エッチングストップ層が、シリコン窒化物、シリコンオキシカーバイド、これらの組合わせのいずれかを用いて形成されている付記1～10のいずれか1項記載の半導体装置。

【0090】(付記12) 複数の半導体素子を有する半導体基板と、前記半導体基板上に形成された第1絶縁層と、前記第1絶縁層中に埋め込まれ、第1絶縁層表面に露出した表面を有する下層ダマシン配線と、前記第1絶縁層上に形成された第2絶縁層と、前記第2絶縁層の表面から途中の深さまで形成された配線溝と、前記配線溝の底面から前記第2絶縁層の残りの厚さを貫通して前記下層ダマシン配線に達するように形成されたビア孔と

を含むダマシン配線用凹部と、前記ダマシン配線用凹部を埋め込んで形成され、前記第2絶縁層表面とほぼ面一の表面を有するダマシン配線と、前記第2絶縁層表面上に形成され、前記ダマシン配線に接続された表面配線パターンと、前記表面配線パターンを覆い、前記第2絶縁層上に形成された第3絶縁層とを有する半導体装置。

【0091】(付記13) 前記ダマシン配線の表面が、全て前記表面配線パターンで覆われている付記12記載の半導体装置。

【0092】(付記14) 前記第3絶縁層が、前記表面配線パターンの一部表面上に開口を有する付記12又は13記載の半導体装置。

【0093】(付記15) (a) 複数の半導体素子を形成した半導体基板を含む下地上に第2の絶縁層を形成する工程と、(b) 前記第2の絶縁層の表面から第1の幅を有する配線溝と、第1の幅よりも大きい第2の幅を有する位置合わせ溝とを形成する工程と、(c) 前記配線溝を平坦に埋め込む第2のダマシン配線と、前記位置合わせ溝内に形成され、第1の段差を有する位置合わせ配線パターンとを形成する工程と、(d) 前記第2の絶縁層上に、前記位置合わせ溝上で前記第1の段差を反映する第2の段差を形成する表面配線層を形成する工程と、(e) 前記表面配線層上にレジスト膜を形成し、前記第2の段差を位置合わせ用マーカとして用いて該レジスト膜を露光、現像し、レジストパターンを形成する工程と、(f) 前記レジストパターンをエッチングマスクとし、前記表面配線層をエッチングして、前記配線パターンと接続された表面配線パターンを形成する工程とを含む半導体装置の製造方法。

【0094】(付記16) 前記工程(c)が、前記第1の幅の1/2以上、かつ前記第2の幅の1/2以下の厚さの配線層を等方的に堆積する工程と、第2の絶縁層上の配線層をCMPにより除去する工程とを含む付記15記載の半導体装置の製造方法。

【0095】(付記17) 前記工程(f)が、位置合わせ表面配線パターンも形成し、さらに、(g) 前記表面配線を覆って、第2の絶縁層上に第3の絶縁層を形成する工程と、(h) 前記位置合わせ表面配線パターンを位置合わせ用マーカとして用い、前記表面配線パターンの一部領域上の第3の絶縁層を除去する工程と(x) 前記工程(a)の前に、前記下地に第1ダマシン配線を埋め込んだ第1の絶縁層を形成する工程とを含み、前記配線溝は、その下方に前記第1のダマシン配線に達するビア孔を有す付記15又は16記載の半導体装置の製造方法。

【0096】(付記18) 前記工程(d)が、主配線層とその上の上側バリアメタル層との積層を含む表面配線層を形成し、前記工程(h)が前記上側バリアメタル層も除去する付記17記載の半導体装置の製造方法。

【0097】(付記19) 前記工程(b)が、ビア孔

を有する下層層間絶縁層と、前記ビア孔を埋めるビア導電体と、下層層間絶縁層の上に形成され、配線溝を有する上層層間絶縁層とを形成する付記 15～18 のいずれか 1 項記載の半導体装置の製造方法。

【0098】(付記 20) 前記工程 (b) が、第 2 の絶縁層にビア孔と位置合わせ用溝とを形成する工程と、第 2 の絶縁層上にレジスト膜を形成する工程と、前記位置合わせ用溝を位置合わせマーカーとして用い、レジスト膜に配線溝及び位置合わせ溝用の開口を形成する工程とを含む付記 15～19 のいずれか 1 項記載の半導体装置

の製造方法。

【0099】

【発明の効果】以上説明したように、本発明によれば、少ない工程数で多層ダマシン配線と表面配線とを有する半導体装置を作成することができる。

【0100】ダマシン配線の上に、Al 層を用いたボンディングパッド、フューズ等を作成することができる。配線パターンを同時に作成することもできる。

【図面の簡単な説明】

【図 1】 本発明の実施例による半導体装置の製造工程を示す半導体基板の概略断面図および平面図である。

【図 2】 本発明の実施例による半導体装置の製造工程を示す半導体基板の概略断面図および平面図である。

【図 3】 本発明の実施例による半導体装置の製造工程を示す半導体基板の概略断面図である。

【図 4】 本発明の実施例による半導体装置の製造工程を示す半導体基板の概略断面図である。

【図 5】 本発明の実施例による半導体装置の下層構造を概略的に示す断面図である。

【図 6】 位置合わせ用マーカーに段差を形成するための条件を示す概略断面図及びグラフである。

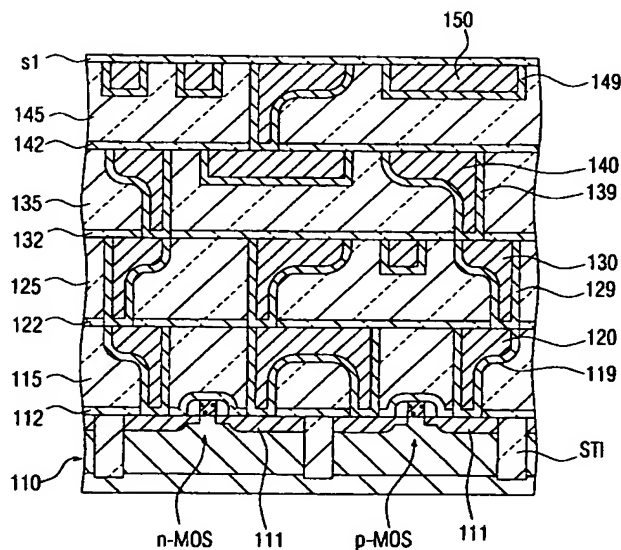
【図 7】 本発明の実施例による半導体装置の上面構造を示す平面図である。

【図 8】 本発明の他の実施例による半導体装置の製造工程を示す半導体基板の断面図である。

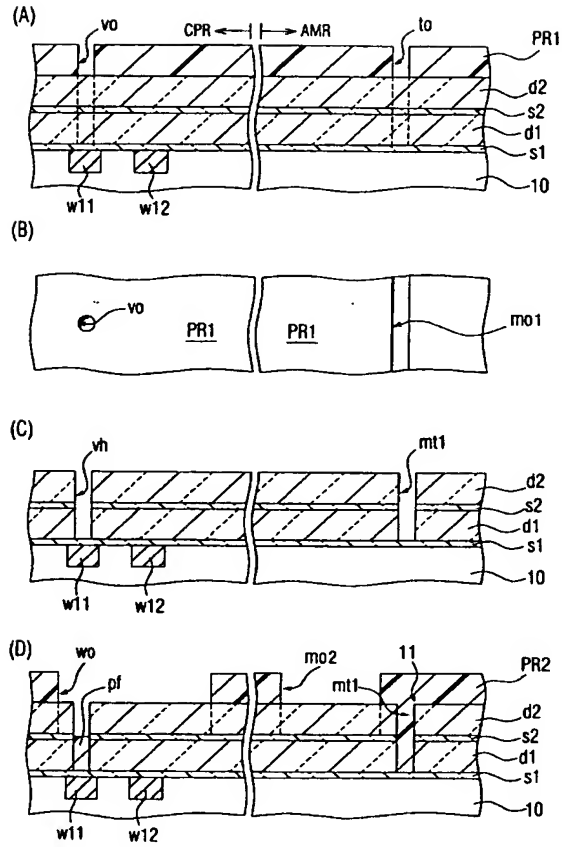
【符号の説明】

10 下地
w 配線
s エッチングストップ層
d 層間絶縁層
v o ビア孔用開口
m o 位置合わせ溝用開口
v h ビア孔
m t 位置合わせ溝
w o 配線溝用開口
p f 保護詰物
w t 配線溝
w p 配線パターン
m c 位置合わせ配線パターン
b バリアメタル層
m w 主配線層
P R ホトレジストパターン
p o パッド用開口

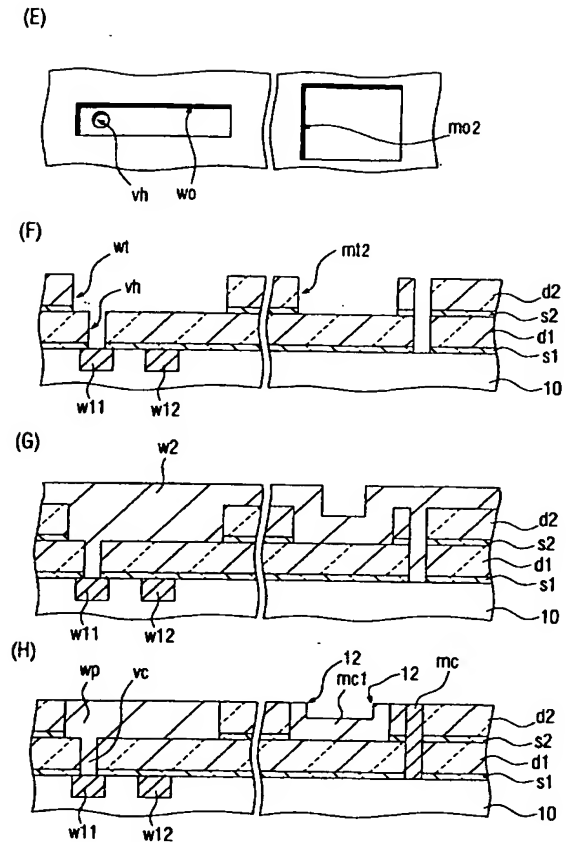
【図 5】



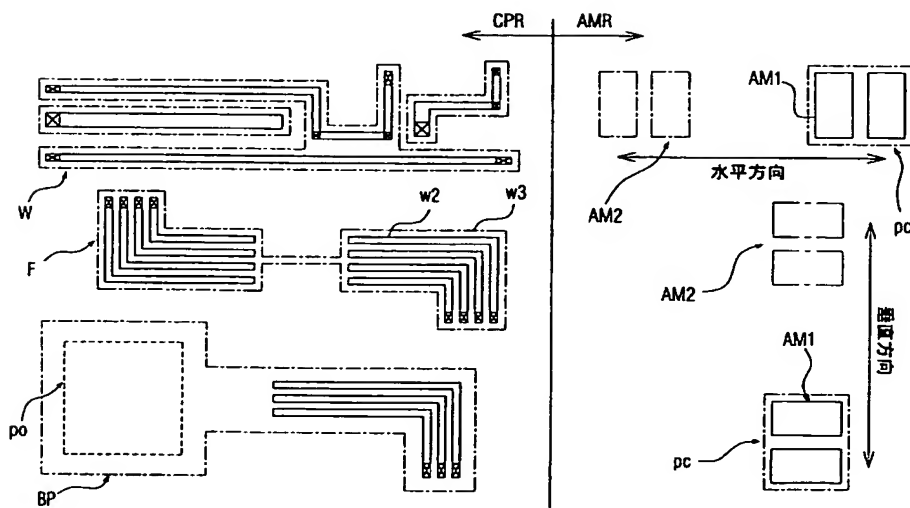
【図 1】



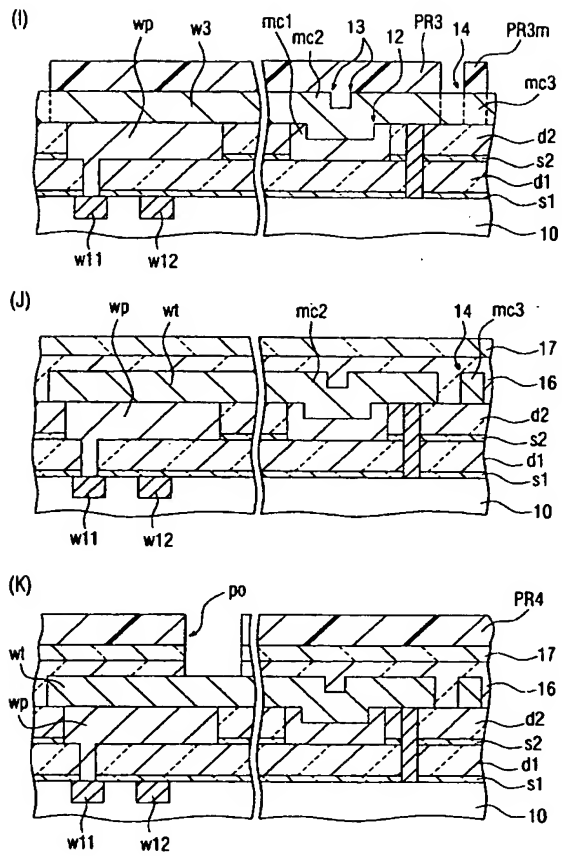
【図 2】



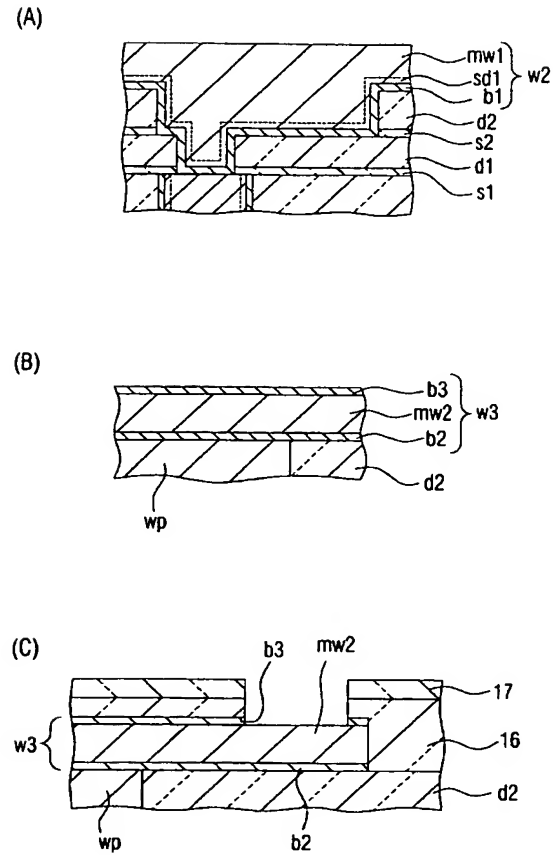
【図 7】



【図 3】

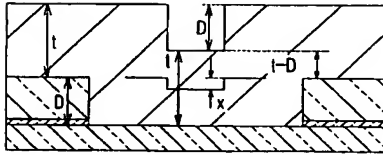


【図 4】



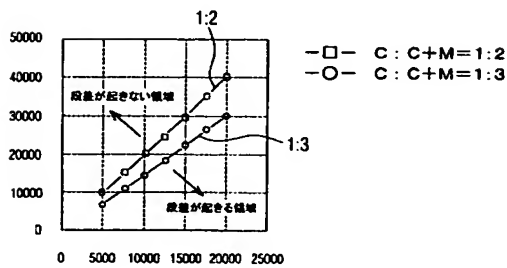
【図 6】

(A)



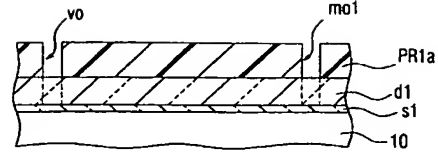
t: 等方性成膜された配線材料の厚さ
 D: 溝深さ
 T-D: 溝内の段差から絶縁膜表面までの高さ

(B)

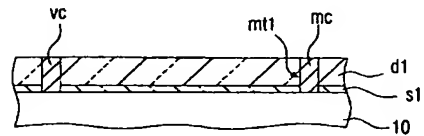


【図 8】

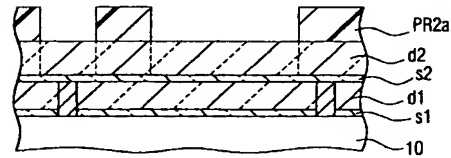
(A)



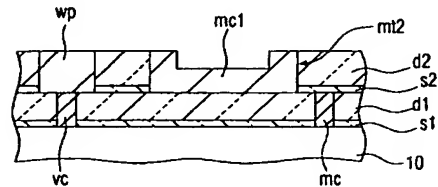
(B)



(C)



(D)



フロントページの続き

F ターム(参考) 5F033 HH08 HH09 HH11 HH13 HH14
 HH17 HH18 HH19 HH20 HH21
 HH32 HH33 HH34 JJ01 JJ08
 JJ09 JJ11 JJ13 JJ14 JJ17
 JJ18 JJ20 JJ21 JJ32 JJ33
 JJ34 KK01 KK08 KK09 KK11
 KK13 KK14 KK17 KK18 KK19
 KK20 KK21 KK32 KK33 KK34
 MM01 MM02 MM12 MM13 NN06
 NN07 PP06 PP15 PP26 QQ01
 QQ09 QQ10 QQ25 QQ37 QQ48
 RR01 RR04 RR06 RR08 RR11
 RR15 RR29 SS04 VV07 XX15
 5F048 AC03 BA01 BC06 BE03 BF01
 BF12 BF16 BG14

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.